



①9 **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 100 54 529 A 1**

⑥1 Int. Cl.⁷:
H 04 L 12/10
H 04 M 1/73
H 04 L 27/00
H 02 H 7/18
H 04 B 10/02

⑳ Aktenzeichen: 100 54 529.7
㉔ Anmeldetag: 3. 11. 2000
㉕ Offenlegungstag: 29. 5. 2002

DE 100 54 529 A 1

⑦1 Anmelder:
Vishay Semiconductor GmbH, 74072 Heilbronn, DE

⑦2 Erfinder:
Eichin, Matthias, Dipl.-Ing.(FH), 74080 Heilbronn,
DE; Mistele, Thomas, Dipl.-Ing.(FH), 74360 Ilsfeld,
DE

⑤6 Für die Beurteilung der Patentfähigkeit in Betracht
zu ziehende Druckschriften:

DE 199 04 878 A1
DE 198 33 613 A1
DE 198 09 905 A1
DE 197 32 675 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Energiesparendes Verfahren für den drahtlosen Empfang von auf einem Trägersignal aufmodulierten Daten

⑤7 Eine in der EP 0663733 beschriebene Empfangsanordnung ist über einen Intervallschalter an eine batteriegespeiste Schaltung zur Spannungsversorgung angeschlossen und wird hierüber zyklisch mit elektrischer Energie versorgt. Mittels eines Startsignals, dessen Sendezeit die Zeitspanne der Schaltintervalle des Intervallschalters übersteigt, wird der intermittierende Betrieb des Empfängers aufgehoben und durch einen Power-on-Reset der Empfänger zumindest für die Sendezeit der sich an das Startsignal anschließenden Steuersignalübertragung ununterbrochen an die Spannungsversorgung angeschlossen. Hierbei wird die Verstärkerstufe des Empfängers auf etwa die Hälfte der Maximalempfindlichkeit gestellt, wodurch aufgrund von starken Störfeldern ein korrekter Empfang von Nutzsignalen nur mit erhöhter Bitfehlerrate möglich oder bei ungestörtem Umfeld die Maximalempfindlichkeit nicht erreicht wird.

Bei dem erfindungsgemäßen Verfahren werden gegenüber dem bekannten Verfahren lediglich die zur Rückgewinnung der Daten aus dem modulierten Trägersignal erforderlichen Schaltungsteile ununterbrochen mit elektrischer Energie versorgt, während die restlichen Schaltungsteile intermittierend mit elektrischer Energie versorgt werden.

Das erfindungsgemäße Verfahren führt dazu, daß der Empfänger nach einer Abschaltphase mit den die Empfangereigenschaften bestimmenden Parametern weiter betrieben werden kann, die in der letzten Empfangsphase vorlagen und damit die Zeit einer neuen Einregelung ...

DE 100 54 529 A 1

Beschreibung

[0001] Die Erfindung betrifft ein energiesparendes Verfahren für den drahtlosen Empfang von auf einem Trägersignal aufmodulierten Daten.

[0002] Ein bekannter integrierter Empfängerschaltkreis für einen solchen Infrarot-Fernbedienempfänger, der eine digitale Verstärkungsregelung besitzt, ist der Schaltkreis T2521B der Firma ATMEL Germany GmbH. Die Funktionsweise eines solchen Schaltkreises besteht darin, dass das empfangene trägermodulierte Signal – das Empfangssignal – in eine Eingangsschaltung eingespeist wird. Die Eingangsschaltung weist einen Transimpedanzverstärker auf, der pulsierende Eingangsstromsignale verstärkt und in Spannungssignale umwandelt. Diese Spannungssignale werden dann in einer Signalaufbereitung bearbeitet. Die Signalaufbereitung weist einen Regelverstärker, einen Limiter und einen Bandpassfilter auf. Hierbei ist die Aufgabe des Regelverstärkers, die Ausgangsspannung vom Transimpedanzverstärker gemäß der Regelvorgabe zu verstärken. Der Limiter hat die Aufgabe den Signalhub zu begrenzen, um eine Übersteuerung des Bandpassfilters zu vermeiden. Der Bandpassfilter ermöglicht die Selektivität des Empfängers und begrenzt dessen Bandbreite. Die Signale am Ausgang des Bandpassfilters werden in einem Demodulator als Auswerteschaltung ausgewertet. Dieser Demodulator besteht aus Komparatoren, einem Integrator und Schmitt-Trigger und erzeugt ein Schaltsignal für einen als Schalter wirkenden Treibertransistor, wodurch ein digitales Steuersignal, beispielsweise einem Mikrocontroller zur Weiterverarbeitung bereitgestellt wird.

[0003] Dieser bekannte Schaltkreis enthält ferner eine digitale Verstärkungsregelung, durch die die Verstärkung des Empfängers einem Störfeld entsprechend eingeregelt wird, wodurch eine hohe Empfindlichkeit für die Empfangssignale erreicht wird, jedoch gleichzeitig Störeinflüsse, die beispielsweise von Fremdlicht herrühren, weitgehend unterdrückt werden.

[0004] Ein solcher bekannter Schaltkreis für Infrarot-Fernbedienempfänger hat in der Regel Stromaufnahmen von 1 mA bis einigen mA. Bei batteriebetriebenen Empfängern ist damit eine ausreichende Lebensdauer der Batterien von etwa einem Jahr bei permanenter Empfangsbereitschaft nicht gegeben.

[0005] Daher wird versucht durch externe Taktung der Versorgungsspannung einen Energiesparbetrieb mit niedriger mittlerer Stromaufnahme zu realisieren um damit die Lebensdauer der Batterien auf über ein Jahr zu erhöhen. Ein solches Verfahren für den Betrieb eines Infrarot-Empfängers ist aus der EP 0 663 733 A1 bekannt, bei dem dieser Infrarot-Empfänger über einen Intervallschalter an eine batteriegespeiste Schaltung zur Spannungsversorgung angeschlossen ist und hierüber zyklisch mit elektrischer Energie versorgt wird. Mittels eines Startsignals, dessen Signaldauer die Zeitspanne der Schaltintervalle des Intervallschalters übersteigt, wird der intermittierende Betrieb aufgehoben, indem die Empfängerschaltung mit der Spannungsversorgung verbunden wird. Dies hat zur Folge, daß der Empfänger durch einen Power-on-Reset (POR) empfangsbereit wird und zumindest für die Sendezeit der sich an das Startsignal anschließenden Steuersignalübertragung ununterbrochen an die Spannungsversorgung angeschlossen bleibt. Dabei wird die Verstärkerstufe des Empfängers auf etwa die Hälfte der Maximalempfindlichkeit eingestellt. Da die Regelung für Fernsteuerungsempfänger vorzugsweise im 100-Millisekundenbereich arbeitet, kann die Empfindlichkeit für optische Nutzsignale direkt nach der Inbetriebnahme um den

Faktor 2 geringer sein. Ist dabei einerseits das Störmfeld zu groß, so daß die Verstärkereinstellung nach dem POR für dieses Umfeld zu groß ist, wird der korrekte Empfang von Nutzsignalen nur mit erhöhter Bitfehlerrate möglich. Andererseits kann bei ungestörtem Umfeld die maximale Empfindlichkeit nicht erreicht werden. Ferner sollte die maximale Antwortzeit auf ein Fernbedienbefehl 200 ms nicht überschreiten. Diese Zeitdauer entspricht der Intervallzeit, in der dieser Empfänger betrieben wird. Um die mittlere Stromaufnahme auf bspw. 5 μ A zu reduzieren, ist eine maximale "An-Zeit" von 1 ms einzuhalten. Wohl weist dieser so betriebene bekannte Empfänger eine genügend kleine Stromaufnahme auf, jedoch gehen aufgrund der zyklischen Freischaltung von der Energiequelle die die Eigenschaften des Empfängers bestimmenden Einstellungen, bspw. die Verstärkungseigenschaften verloren, wodurch der Empfänger wieder mit dem Anfangszustand arbeiten muß, der entweder eine unempfindlichere, d. h. eine verminderte Reichweite, oder eine zu empfindliche Einstellung, d. h. eine erhöhte Bitfehlerrate, besitzen kann. Damit ist der Einsatzbereich eines solchen Empfängers sehr stark eingeschränkt.

[0006] Aufgabe der Erfindung ist es daher, ein energiesparendes Verfahren zum Betreiben eines solchen Empfängerschaltkreises anzugeben, das die o. g. Nachteile vermeidet – also zu gleichen Empfängereigenschaften führt, die denjenigen der im Dauerbetrieb betriebenen Empfängern entsprechen – und mit dem trotzdem ein deutliche Senkung der Stromaufnahme erreicht wird.

[0007] Diese Aufgabe wird durch die Merkmale des Patentanspruchs 1 gelöst. Hiernach wird der Empfängerschaltkreis im intermittierenden Betrieb nicht vollständig von der Betriebsspannungsquelle freigeschaltet, sondern nur die wesentlichen Schaltungsteile des Empfängers, nämlich diejenigen, die die Rückgewinnung der Daten aus dem Trägersignal vornehmen, also insbesondere Eingangsstufe, Verstärkerstufen, Bandfilter und Demodulator. Dagegen werden solche Schaltungsteile ununterbrochen mit elektrischer Energie versorgt, die bspw. die der Umgebung angepaßte Verstärkereinstellungen vornehmen und folglich aufgrund der ständigen Versorgung mit Betriebsspannung diese Informationen nicht verlorengehen, so daß bei erneuter Inbetriebnahme in der Energieversorgungsphase des intermittierenden Betriebes der Empfänger mit diesen Parametern weiterarbeiten kann, ohne Zeit für eine erneute Einregelung auf die optimalen Verstärkungseigenschaften zu benötigen. Mittels dieses intermittierenden Betriebes kann bei gleicher Leistung vergleichbarer bekannter im Dauerempfangsbetrieb betriebener Empfänger eine deutliche Senkung der Stromaufnahme erreicht werden, wodurch sich bei einer Senkung des Stromes von bspw. 1 mA auf 15 μ A batteriebetriebene Anwendungen leicht realisieren lassen.

[0008] Gemäß einer vorteilhaften Weiterbildung der Erfindung können diese Verstärkereinstellungen während der energiefrei geschalteten Phase des intermittierenden Betriebes gespeichert werden, um damit in einer sich anschließenden Phase der Empfangsbereitschaft des nunmehr mit Energie versorgten Empfängers sofort zur Verfügung zu stehen.

[0009] Um den Empfänger sicher aus der energiefrei geschalteten Phase des intermittierenden Betriebes, im folgenden Shut Down Modus genannt, in den mit Betriebsspannung versorgten Zustand, im folgenden Aufweck Modus genannt, zu bringen, ist es vorteilhaft, ein Startsignal für den Empfänger zu erzeugen, dessen Signaldauer die Zeitdauer des Shut Down Modus überschreitet und diesen Zustand so lange zu halten, bis nach Ablauf einer vorgegebenen Wartezeit nach dem Empfang eines modulierten Trägersignals kein weiteres Trägersignal empfangen wird. Vorzugsweise wird nach Ablauf dieser Wartezeit der intermittierende Be-

trieb wieder aufgenommen.

[0010] In vorteilhafter Weise kann der Aufweck- und Shut Down Modus automatisiert mittels des Lade- und Entladevorganges eines elektrischen Speicherelementes, insbesondere mittels eines Kondensators, ablaufen. Im Aufweck Modus wird ein ankommendes Datensignal automatisch erkannt und der Empfänger (d. h. die erste Gruppe von Schaltungsteilen) bleibt im Aufweck Modus, also empfangsbereit. Nach der Bearbeitung der Empfangssignale und einer erneuten Wartezeit wechselt die erste Gruppe der Schaltungsteile zurück in den Shut Down Modus. Mit der Größe des elektrischen Speicherelementes, also bspw. mit der Größe eines Kondensators läßt sich das Tastverhältnis des intermittierenden Betriebes frei wählen, womit verschieden lange Shut Down Phasen einstellbar sind, die die Zeitdauer des Startsignals (Vor-Burst) bestimmen. Folglich ist eine Gewichtung der mittleren Stromaufnahme gegenüber der Antwortzeit entsprechend der gewünschten Anwendung möglich. Da dieses Verfahren mittels des Speicherelementes autark arbeitet, ist eine unidirektionale Verbindung zum Mikroprozessor ausreichend.

[0011] Ferner wird unter Verwendung des Speicherelementes, insbesondere des Kondensators mittels eines Komparators der Zeitablauf des Aufweck und Shut Down Modus realisiert, indem der Ladezustand am Speicherelement mit einem einstellbaren Referenzwert verglichen wird und in Abhängigkeit einer $<$ -Relation oder $>$ -Relation zwischen diesen beiden Werten die erste Gruppe der Schaltungsteile des Empfängers mit elektrischer Energie versorgt bzw. energiefrei geschaltet wird.

[0012] Gemäß einer weiteren vorteilhaften Weiterbildung der Erfindung sind zur Realisierung der Umladevorgänge eine erste und zweite Lade- und Entladeschaltung vorgesehen, wobei eine Ladestromquelle der zweiten Lade- und Entladeschaltung das entladene Speicherelement, insbesondere den Kondensator nach einer Entladung unter den Referenzwert so lange auflädt, bis für eine vorgegebene Zeitdauer der Referenzwert überschritten wird. Aus der Speicherkapazität dieses Speicherelementes und dem Wert des Referenzwertes ergibt sich die Zeitdauer des Shut Down Modus.

[0013] Liegt jedoch bei Überschreiten des Referenzwertes, wenn also der Empfänger "aufgeweckt" wurde, ein trägermoduliertes Signal an, wird dieses Signal erkannt und der Ladevorgang mittels einer Ladestromquelle der ersten Lade- und Entladeschaltung bis zu einem Maximalwert weitergeführt, d. h., der Empfänger bleibt weiterhin empfangsbereit. Die Entladung beginnt erst mit dem Ende eines trägermodulierten Signals mittels einer Entladestromquelle der zweiten Lade- und Entladestromquelle bis entweder ein neues Signal empfangen wird oder der Wert der Speicherkapazität unter den Referenzwert gefallen ist.

[0014] Bei der Realisierung des Empfängerschaltkreises als integrierte Schaltung wird das Speicherelement, insbesondere der Kondensator als externes Bauelement an einen Pin des Gehäuses angeschlossen. Falls ein diesen Schaltkreis aufnehmendes Gehäuse einen solchen Pin nicht vorsieht, kann der Aufweck und Shut Down Zyklus auch über einen bidirektionalen Ausgangsanschluß des Empfängers vom Mikroprozessor realisiert und gesteuert werden. Eine entsprechende Software übernimmt dabei die Aufgabe des Wechsels der Betriebsmodi.

[0015] Das erfindungsgemäße Verfahren soll nachfolgend anhand eines Ausführungsbeispiels im Zusammenhang mit den Zeichnungen erläutert werden. Es zeigen:

[0016] Fig. 1 ein Blockschaltbild einer Empfängerschaltung gemäß der Erfindung mit einem Shut-Down-Schaltkreis,

[0017] Fig. 2 ein Blockschaltbild eines in der Empfängerschaltung gemäß Fig. 1 verwendeten Shut-Down-Schaltkreises, und

[0018] Fig. 3 ein Logikdiagramm zur Erläuterung der Funktionsweise des Shut-Down-Schaltkreises gemäß Fig. 2.
[0019] Fig. 1 zeigt ein Blockdiagramm einer Empfängerschaltung 10 und seiner Umgebung. Die von einer optischen Sendediode 4 ausgestrahlten trägermodulierten Daten werden als Infrarot-Impulspakete von einer Photodiode 5 empfangen. Diese auf die Photodiode 5 auftreffenden Infrarotimpulspakete mit einer Trägerfrequenz von bspw. 38 kHz werden in elektrische Strom-Signale S_{IN} umgewandelt. Sie liegen am Eingangsanschluß E der Empfängerschaltung 10 an. Diese elektrischen Strom-Signale S_{IN} werden einer als Transimpedanzverstärker arbeitenden Eingangsschaltung 11 zugeführt, welche die Stromsignale S_{IN} verstärkt und in Spannungssignale umgewandelt. In dem nachfolgenden Signalaufbereitungsteil werden diese Spannungssignale mittels eines Regelverstärkers 12 verstärkt, von einem Limiter 13 begrenzt und anschließend in einem Bandpassfilter 14 gefiltert.

[0020] Die Signalbegrenzung mittels des Limiters 13 ist deshalb erforderlich, um eine Übersteuerung des nachfolgenden Bandpassfilters 14 zu vermeiden und um impulsförmige Störungen, die z. B. über einen Versorgungsanschluß V_S in den Empfänger gelangen, zu unterdrücken. In einem an das Bandpassfilter 14 sich anschließenden Demodulator 15 wird das bandpassgefilterte Signal demoduliert, in einem Verstärker 16 (mit Verstärkungsfaktor 1) gepuffert und über einen Eingangs- und Ausgangsschaltkreis (I/O) 21 als Ausgangssignal S_{OUT} an einem Ausgangsanschluß A einem Mikrokontroller 3 zur weiteren Verarbeitung zur Verfügung gestellt.

[0021] Um die Verstärkung des von der Sendediode 4 ausgestrahlten Nutzsignals und damit die Empfindlichkeit des Empfängers zu optimieren, weist die Empfängerschaltung 10 eine Regelschaltung 25 auf, die Regelsignale dem Regelverstärker 12 zuführt und die ihrerseits das Ausgangssignal des Bandpassfilters 14 über eine Leitung 71 sowie das vom Demodulator 15 und dem Verstärker 16 erzeugte Ausgangssignal D_{OUT} über eine Leitung 72 als Eingangssignale erhält. Die Aufgabe dieser Regelschaltung 25 ist es, das Signal/Rauschverhältnis zu optimieren, indem die Verstärkung des Eingangssignals S_{IN} in Abhängigkeit von der Größe des Eingangssignals verändert wird. Die Regelschaltung 25 ist aus einem Regellogikteil (AGC) 251 und einem Digital-Analog-Umsetzer (DAC) 252 aufgebaut. Der Regellogikteil 251 trennt das Nutz- von den Störsignalen und stellt die Verstärkung für die Nutzsignale auf ein möglichst hohes Niveau, womit einerseits eine hohe Empfindlichkeit für die Nutzsignale erreicht wird und andererseits Störeinflüsse, bspw. von Fremdlicht reduziert werden. Der Digital-Analog-Umsetzer 252 wandelt die von dem Regellogikteil 251 erzeugte digitale Verstärkerinformation in eine analoge Steuerspannung für den Regelverstärker 12 um.

[0022] Die von dem Eingangssignal S_{IN} zur Rückgewinnung der Daten durchlaufenen Schaltungsteile, also die Eingangsschaltung 11, der Limiter 12, das Bandpassfilter 14, der Demodulator 15 und der Verstärker 16 bilden zusammen mit dem Digital-Analog-Umsetzer 252 eine erste Gruppe 1 von Schaltungsteilen des Empfängerschaltkreises 10 und wird über einen von einem Schaltungsteil (SD) 22 und einem OR-Gatter 23 gesteuerten Umschalter 24 mit einer Betriebsspannungsquelle V_s verbunden. Dagegen sind die zuletzt genannten Schaltungsteile 22, 23 und 24 als auch das Regellogikteil 251 und die Eingangs- und Ausgangsschaltung 21 direkt mit der Betriebsspannungsquelle V_s verbunden und stellen eine zweite Gruppe 2 von Schaltungsteilen

des Empfängerschaltkreises 10 dar.

[0023] Zur Durchführung eines intermittierenden Betriebes der Empfangsbereitschaft wird nicht – wie im Stand der Technik – der gesamte Empfängerschaltkreis 10 von der Betriebsspannungsquelle V_s zyklisch freigeschaltet, sondern lediglich die als wesentlich hinsichtlich der Stromaufnahme betrachtete erste Gruppe 1 von Schaltungsteilen, indem über den Umschalter 24 die Schaltungsteile der ersten Gruppe 1 intermittierend mit der Betriebsspannungsquelle V_s verbunden werden. Dabei können digitale Informationen, wie die der Umgebung angepaßten Regeleinstellung, d. h. insbesondere die Verstärkungseinstellung – ohne eine hohe Stromaufnahme zu bewirken – in der Regelschaltung 25 gespeichert werden. Dies wird bei einer Realisierung des Regello-gikteils 251 in einer MOS-Technologie dadurch bewirkt, daß die entsprechenden Schaltungsteile unter Beibehaltung der Spannungsversorgung taktfrei betrieben werden. Bei Wiederinbetriebnahme, also im Aufweck Modus kann der Regelverstärker 12 mit diesen gespeicherten Werten sofort weiterarbeiten, weshalb der Empfängerschaltkreis 10 keine Zeit benötigt, um sich auf die Umgebungsbedingungen neu einzuregeln, sondern kann sofort mit optimaler Verstärker-einstellung arbeiten.

[0024] Der intermittierende Betrieb wird als automatischer Aufweck und Shut Down Modus mittels eines extern an den Empfängerschaltkreis 10 angeschlossenen Kondensator C realisiert, indem über von dem Shut-Down-Schal-tungsteil, im folgenden SD-Schaltung 22 genannt, gesteuerten Lade- und Entladevorgänge der Zeitablauf bestimmt wird. Mit der Kapazität des externen Kondensators C läßt sich das Tastverhältnis des intermittierenden Betriebes frei wählen und kann damit auf verschieden lange Shut Down Zeitdauern eingestellt werden, die die Signaldauer eines Startsignals bestimmen, das die Intervallzeit des Shut Down übersteigen muß, um den Empfängerschaltkreis sicher in den Aufweck Modus wechseln zu lassen.

[0025] Die Auswertung des Ladezustandes, also der Ladespannung V_C des Kondensators C übernimmt die SD-Schal-tung 22 und steuert über das OR-Gatter 23 den Umschalter 24 entsprechend an, wie weiter unten im Zusammenhang mit der Erläuterung der Impulsdigramme der Fig. 3 be-schrieben wird. Auf das OR-Gatter 23 und eine Verbindungsleitung 61 zu der Eingangs- und Ausgangsschaltung 21 kann verzichtet werden, wenn der intermittierende Be-trieb ausschließlich mittels des Kondensators C und der SD-Schaltung 22 vorgenommen wird. Ist es dagegen mangels eines Anschlußpins an dem den Empfängerschaltkreis auf-nehmenden Gehäuse nicht möglich, einen Kondensator C anzuschließen, erfolgt die Realisierung des Aufweck und Shut Down Modus mittels des Mikroprozessors 3, indem dieser die entsprechenden Steuerbefehle erzeugt, die über die Eingangs- und Ausgangsschaltung 21, die Leitung 61 und das OR-Gatter dem Umschalter 24 zugeführt wird. Hierzu ist jedoch zwischen der Eingangs- und Ausgangs-schaltung 21 und dem Mikroprozessor 3 eine bidirektionale Datenverbindung erforderlich. Ein Softwareprogramm im Mikroprozessor 3 übernimmt dabei die Erzeugung der ent-sprechenden Steuerbefehle für den Umschalter 24.

[0026] Die Realisierung der automatischen Shut Down Zyklus wird im folgenden anhand des Blockschaltbildes ei-ner SD-Schaltung 22 nach Fig. 2 in Verbindung mit den Im-pulsdigrammen gemäß Fig. 3 erläutert.

[0027] Gemäß Fig. 2 wird die Ladung und Entladung des Kondensators C über einen Knotenpunkt P von einer ersten Lade- und Entladestromquelle LE1 und einer zweiten Lade- und Entladestromquelle LE2 mittels Ladestromquellen Q2 bzw. Q1 und Entladestromquellen S2 bzw. S1 durchgeführt. Der Ladezustand, also die Ladespannung V_C am Kondensa-

tor C wird von einem Komparator K ausgewertet, indem die Ladespannung V_C an dessen nicht-invertierenden Eingang und eine von einer Referenzspannungsquelle Q_R erzeugten Referenzspannung $V_R/2$ an dessen invertierenden Eingang anliegt. Ein beispielhafter Verlauf der Ladespannung V_C zeigt ein $t-V_C$ -Impulsdigramm gemäß Fig. 3. Wird zu ei-nem Zeitpunkt t_0 der Referenzwert $V_R/2$ von der Ladespan-nung V_C überschritten, wird der Empfänger, d. h. die Schal-tungsteile der ersten Gruppe 1 "aufgeweckt", indem der Ausgang des Komparators K, der eine Hysterese von bspw. 100 mV ausführt, auf High-Pegel schaltet, das als Aus-gangssignal SD_{out} der SD-Schaltung 22 zur Verfügung steht und als $t-SD_{out}$ -Impulsdigramm in Fig. 3 dargestellt ist. Dieses Ausgangssignal SD_{out} wird einem Monoflop M1 (Haltezeit beträgt dabei 0,5 ms) zugeführt, dessen invertie-render Ausgang NQ mit einem ersten Eingang eines AND-Gatters G1 verbunden ist. Dem zweiten Eingang dieses AND-Gatters G1 wird das Ausgangssignal SD_{out} direkt zu-geführt, so daß an dessen Ausgang – wie in dem $t-S_C$ -Im-pulsdigramm gemäß Fig. 3 dargestellt ist – ein Kontrollsi-gnal S_C erzeugt wird, das zur Steuerung der ersten Lade- und Entladeschaltung LE1 über ein weiteres Monoflop M2 (Haltezeit beträgt 0,1 ms) und ein diesem nachgeschaltetes weiteres AND-Gatter G2 als auch der Steuerung der zweiten Lade- und Entladeschaltung LE2 über einen Umschalter U1 dient. Die Lade- bzw. Entladestromquelle Q2 bzw. S2 der ersten Lade- und Entladeschaltung LE1 werden über sepa-rate Schalter U2 bzw. U3 aktiviert, deren Schalterstellung als $t-U2/U3$ -Impulsdigramm in Fig. 3 dargestellt sind. Zur Steuerung des Schalters U2 wird das Ausgangssignal D_{out} des Demodulators 15 direkt diesem Schalter U2 zugeführt, während zur Steuerung des Schalters U3 das Ausgangssi-gnal des AND-Gatters G2 dient, an dessen zweitem Eingang das mittels eines NOT-Gatters N invertierten Ausgangssi-gnals D_{out} des Verstärkers 16, der das eigentliche Demodu-latorausgangssignal DEM_{out} lediglich puffert, anliegt. Mit einem gegen Masse des Empfängerschaltkreises 10 geschal-teter hochohmiger Widerstand R wird das Potential des De-modulatorausgangssignals D_{out} im Shut Down Modus auf Low-Pegel gehalten.

[0028] Wie schon oben hinsichtlich des $t-V_C$ -Impulsdia-grammes nach Fig. 3 erwähnt, erreicht zum Zeitpunkt t_0 die Ladespannung V_C die Referenzspannung $V_R/2$, infolgedes-sen das Ausgangssignal SD_{out} seinen High-Pegel annimmt, wodurch der Umschalter 24 (vgl. Fig. 1) die Gruppe 1 der Schaltungsteile mit der Spannungsversorgung V_s verbindet. Dies führt jedoch nicht sofort zur Empfangsbereitschaft, also in den Aufweck Modus des Empfängerschaltkreises 10, sondern erst nach einer kurzen Einschwingzeit, nämlich zum Zeitpunkt t_1 . Nach Ablauf der Haltezeit von 0,5 ms am Monoflop M1 erzeugt das AND-Gatter G1 einen Pegel-wechsel auf High, wodurch der Umschalter U1 den Knoten-punkt P mit der Entladestromquelle S1 verbindet und gleichzeitig der Ausgang des Monoflops M2 für 0,1 ms auf High-Pegel bleibt, so daß aufgrund eines fehlenden Signales Dopt auch das NOT-Gatter N auf High-Pegel wechselt, womit das AND-Gatter G2 ebenfalls einen High-Pegel erzeugt, der den Schalter U3 zum Schließen bringt, so daß die Entla-de-stromquelle S2 definiert für die Zeitdauer von 0,1 ms ak-tiv wird. Die Entladung führt zum Zeitpunkt t_2 zum Unter-schreiten der Referenzspannung $V_R/2$, wodurch zunächst das Ausgangssignal SD_{out} des Komparators K auf Low-Pegel fällt und infolgedessen einerseits der Aufweck Modus been-det wird und andererseits das Steuersignal S_C auf Low-Pegel wechselt und gleichzeitig der Umschalter U1 die Lade-stromquelle Q1 wieder mit dem Knotenpunkt P verbindet. Da jedoch dessen Ladestrom von bspw. 100 nA um Größen-or-dnungen geringer ist als der Entladestrom der Entlade-

stromquelle S2 von bspw. 150 μA , wird der Entladevorgang bis zur vollständigen Entladung des Kondensators C zum Zeitpunkt t_3 kaum beeinflusst. Der Ladevorgang vom Zeitpunkt t_0 bis t_2 bestimmt die Zeitdauer T_1 des High-Pegels des Signales SD_{out} und damit die Phasendauer des Aufweck Modus, falls während dieser Phase kein Signal empfangen wird.

[0029] In dem t-DEM_{out}-Impulsdiagramm gemäß Fig. 3 sind doppelt schraffierte Impulszüge dargestellt, die diejenigen Zeitintervalle anzeigen, zu denen der Demodulator 15 kein definiertes Ausgangssignal DEM_{out} erzeugt, während die anderen Impulszüge als High- und Low-Pegel eine Datenübertragung mit definiertem Ausgangssignal DEM_{out} bei empfangsbereiten Empfängerschaltkreisen anzeigen. Der Pufferschaltkreis 16 erzeugt hieraus zu allen Zeiten ein definiertes Ausgangssignal D_{out}.

[0030] Da zum Zeitpunkt t_3 der Entladevorgang mittels der Entladestromquelle S2 beendet ist, wird der Kondensator C durch die schon seit dem Zeitpunkt t_2 angeschalteten Ladestromquelle Q1 geladen. Erreicht die Ladespannung zum Zeitpunkt t_4 am Kondensator C wieder den Referenzwert $V_s/2$, wird wieder eine die Spannungsversorgung der Schaltungsgruppe 1 – also den Beginn der nächsten Aufweck Phase – bewirkende ansteigende Flanke des Ausgangssignales SD_{out} erzeugt. Zu diesem Zeitpunkt t_4 ist also der Shut Down Modus, der zum Zeitpunkt t_2 begann, beendet, dessen Zeitdauer T_2 durch die Kapazität des externen Kondensators C, dem Ladestrom I_{Q2} der Ladestromquelle Q1 und des vorgegebenen Referenzwertes $V_s/2$ zu

$$T_2 = ((C \cdot V_s/2)/I_{Q2}) + 0,1$$

ergibt.

[0031] Der zum Zeitpunkt t_4 andauernde Ladevorgang wird bis zum Zeitpunkt t_5 , bei dem wieder nach einer Einschwingphase der Empfängerschaltkreis empfangsbereit ist, fortgeführt. Da nun zu diesem Zeitpunkt t_5 aufgrund eines Empfangssignals ein High-Pegel des Signals D_{out} vorliegt, lädt zusätzlich zur Ladestromquelle Q1 auch die Ladestromquelle Q2 über den eingeschalteten Schalter U2 den Kondensator C bis auf die maximale Ladespannung V_s .

[0032] Aufgrund der Haltezeit von 0,5 ms des Monoflops M1 wird zum Zeitpunkt t_5 eine ansteigende Flanke des Steuersignals S_C erzeugt, die nur eine Umschaltung mittels des Umschalters U1 von der Ladestromquelle Q1 auf die Entladestromquelle S1 bewirkt. Aufgrund des um Größenordnungen kleineren Entladestromes von bspw. 50 nA der Entladestromquelle S1 gegenüber dem Ladestrom von bspw. 75 μA der Ladestromquelle Q2 wird der Kondensator C trotzdem auf der maximalen Ladespannung V_s gehalten.

[0033] Im Anschluß an den Zeitpunkt t_5 erfolgt die Bearbeitung des empfangenen Datensignales durch den Empfängerschaltkreis, wobei eine abfallende Flanke des Signales DEM_{out} und damit auch des Signales D_{out}, wie bspw. zum Zeitpunkt t_7 , eine Öffnung des Schalters U2 zur Beendigung des Ladevorganges bewirkt und aufgrund des High-Pegels des Kontrollsignals S_C eine Entladung des Kondensators C mittels der Entladestromquelle S1 der zweiten Lade- und Entladestromquelle LE2 so lange erfolgt, bis durch die nächste ansteigende Flanke des Signales DEM_{out}, bspw. zum Zeitpunkt t_8 wieder die Ladestromquelle Q2 zugeschaltet wird und dadurch für die Zeitdauer des High-Pegels der Kondensator C – maximal auf V_s – geladen wird.

[0034] Nach Ende eines Datensignales, wie bspw. zum Zeitpunkt t_9 , erfolgt eine Entladung bis unter den Referenzwert $V_s/2$, der zum Zeitpunkt t_{10} erreicht wird. Die Entladedauer beträgt dabei ungefähr $2T_2$, also die doppelte Shut Down Phasendauer, da die Ladestromstärke der Entlade-

stromquelle S1 50% der Ladestromstärke der Ladestromquelle Q1 beträgt. Dies bedeutet also, daß bei einer Datenübertragung während eines Zeitintervalles $2T_2$ ein Flankenwechsel die Ladestromquelle Q2 zu- oder abgeschaltet und bei fehlender Datenübertragung am Ende dieses Zeitintervalles $2T_2$, wie bspw. zum Zeitpunkt t_{10} , veranlaßt durch die abfallende Flanke des SD_{out} -Signales die Schaltungsgruppe 1 von der Spannungsversorgung getrennt wird, also der Empfängerschaltkreis wieder in den Shut Down Modus wechselt. Als Folge hiervon fällt auch das Steuersignal S_C auf Low-Pegel, wodurch der Umschalter U1 die Ladestromquelle Q1 mit dem Knotenpunkt P verbindet. Der dadurch bewirkte Ladevorgang führt zum Zeitpunkt t_{11} zum Erreichen des Referenzwertes $V_s/2$ und damit wieder zur Erzeugung eines High-Pegels des SD_{out} -Signales und in Folge hiervon in den Aufweck Modus, der zum Zeitpunkt T_{12} – also nach Ablauf der Aufweckphase T_1 – aufgrund eines fehlenden Datensignales beendet wird. Nun beginnt wieder ein den Zeitpunkten t_2 und t_3 entsprechender Vorgang, wobei die Zeitpunkte t_{12} und t_{13} den Zeitpunkten t_2 und t_3 entsprechen.

Patentansprüche

1. Energiesparendes Verfahren für den drahtlosen Empfang von auf einem Trägersignal aufmodulierten Daten mittels einer ersten Gruppe (1) und einer zweiten Gruppe (2) von Schaltungsteilen umfassenden Empfängerschaltung (10), bei dem die zur Rückgewinnung der Daten aus dem Trägersignal (S_{in}) vorgesehene erste Gruppe (1) von Schaltungsteilen intermittierend mit elektrischer Energie versorgt wird, während die zweite Gruppe (2) von Schaltungsteilen ununterbrochen mit elektrischer Energie versorgt wird.
2. Verfahren nach Anspruch 1, bei dem Schaltungsteile der zweiten Gruppe (2) in Abhängigkeit der Empfangsbedingungen und des zuletzt empfangenen modulierten Trägersignals (S_{in}) die Empfängereigenschaften, wie bspw. Verstärkung und Regeleinstellung bestimmen und die zugehörigen Werte, wie bspw. Verstärkungsfaktoren und Regeleinstellwerte während der energielosen Zeitintervalle des intermittierenden Betriebes der ersten Gruppe (1) von Schaltungsteilen gespeichert werden.
3. Verfahren nach Anspruch 1 oder 2, bei dem bei Empfang eines Startsignals, dessen Signaldauer die Zeitdauer des energielosen Zustandes im intermittierenden Betrieb der ersten Gruppe (1) der Schaltungsteile überschreitet, der intermittierende Betrieb unterbrochen wird, anschließend diese Schaltungsteile so lange mit elektrischer Energie versorgt werden, bis nach Ablauf einer vorgegebenen Wartezeit nach dem Empfang eines modulierten Trägersignales (S_{in}) kein weiteres Trägersignal empfangen wird.
4. Verfahren nach Anspruch 3, bei dem nach Ablauf der Wartezeit der intermittierende Betrieb wieder aufgenommen wird.
5. Verfahren nach einem der vorangehenden Ansprüche, bei dem der Zeitablauf des intermittierenden Betriebes durch einen Lade- und Entladevorgang eines elektrischen Speicherelementes (C), insbesondere eines Kondensators, bestimmt wird.
6. Verfahren nach Anspruch 5, bei dem zur Durchführung des intermittierenden Betriebes der Wert (V_C) des Ladezustandes des Speicherelementes (C), insbesondere die Ladespannung (V_C) am Kondensator, mittels eines Komparators (K) mit einem Referenzwert ($V_s/2$) verglichen wird und in Abhängigkeit einer $<$ -Relation

oder $>$ - Relation zwischen diesen beiden Werten (V_C , $V_g/2$) der intermittierende Betrieb durchgeführt wird.

7. Verfahren nach Anspruch 6, bei dem mit der Entladung des Speicherelementes (C) unter den Referenzwert ($V_g/2$) mittels einer Entladestromquelle (S_2) einer ersten Lade- und Entladeschaltung (LE1) die energiefreie Phase des intermittierenden Betriebes beginnt und deren Zeitdauer der Ladedauer des sich daran anschließenden ersten Ladevorganges mittels einer Ladestromquelle (Q_1) einer zweiten Lade- und Entladeschaltung (LE2) entspricht, wobei dieser erste Ladevorgang nach Ablauf einer vorgegebenen Zeitdauer nach Erreichen des Referenzwertes ($V_g/2$) endet.

8. Verfahren nach Anspruch 7, bei dem sich an den ersten Ladevorgang ein zweiter Ladevorgang mittels einer Ladestromquelle (Q_2) der ersten Lade- und Entladeschaltung (LE1) anschließt, falls am Ende des ersten Ladevorganges ein modulierte Trägersignal empfangen wird und bei dem mit Ende des modulierten Trägersignales ein Entladevorgang mittels einer Entladestromquelle (S_1) der zweiten Lade- und Entladeschaltung durchgeführt wird, bis ein weiteres modulierte Trägersignal empfangen wird und dadurch der zweite Ladevorgang fortgesetzt wird oder bis der Wert (V_C) des Ladezustandes den Referenzwert ($V_g/2$) unterschreitet und sich daran der erste Ladevorgang anschließt.

Hierzu 3 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

- Leerseite -

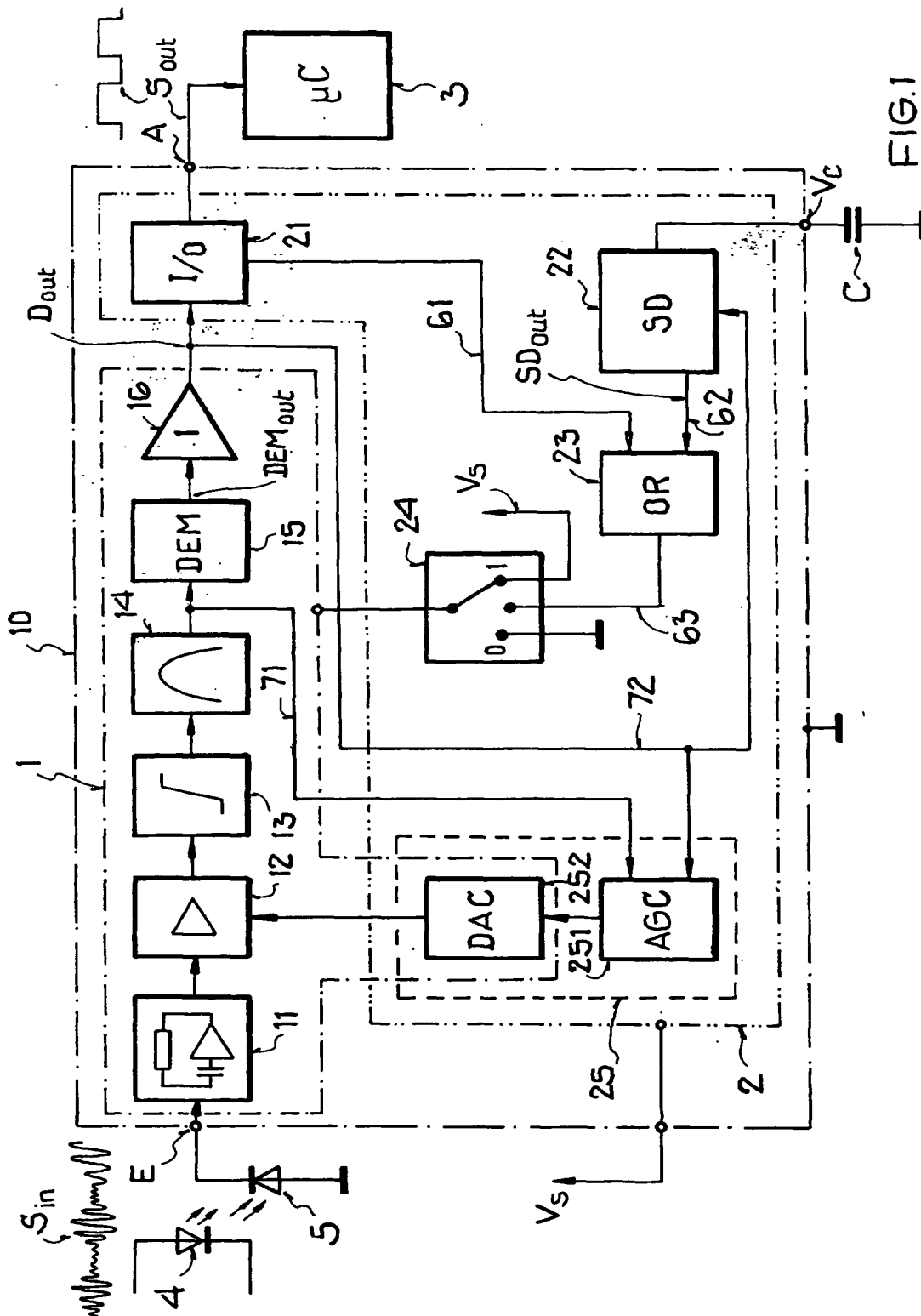
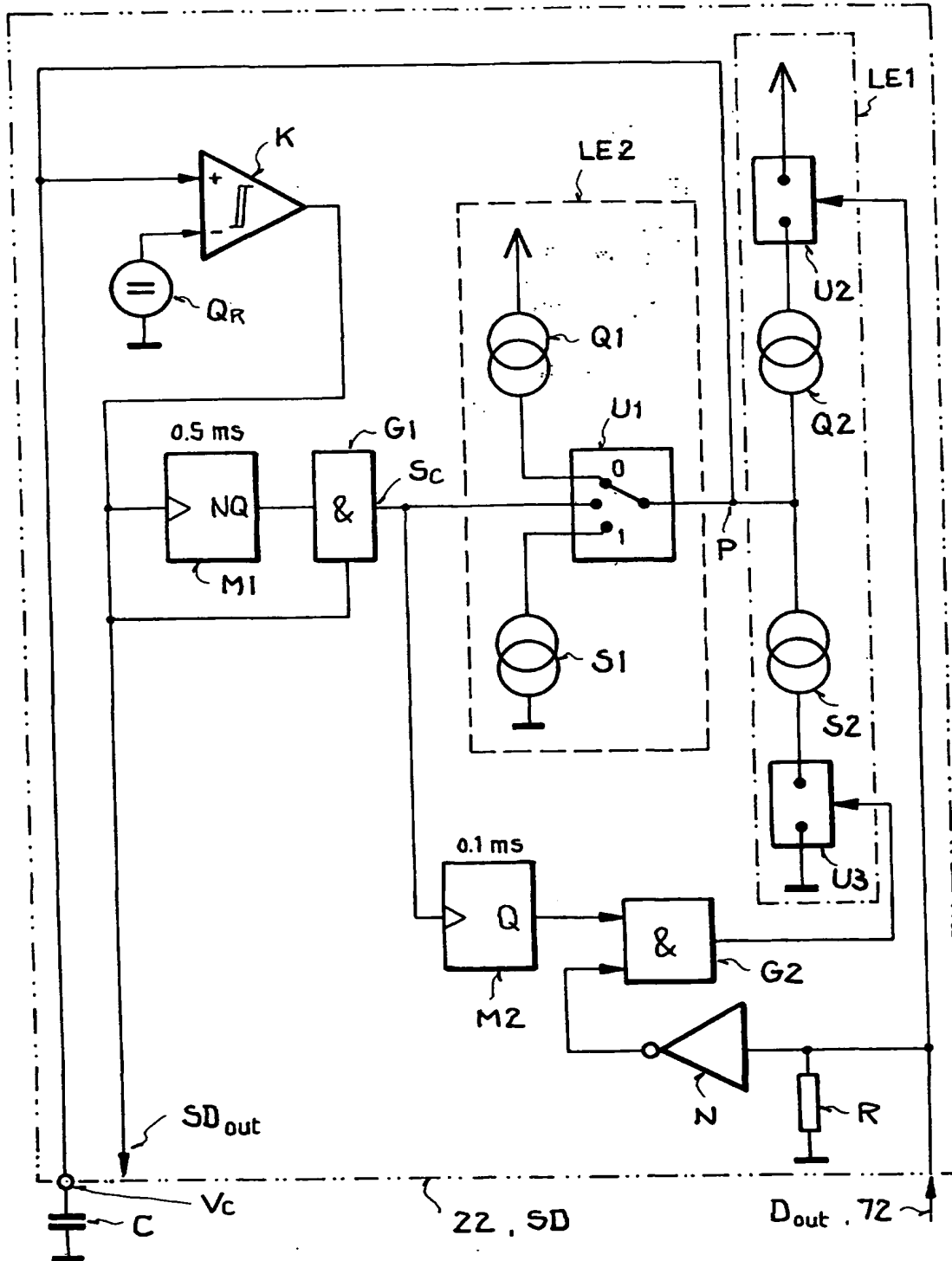


FIG.2



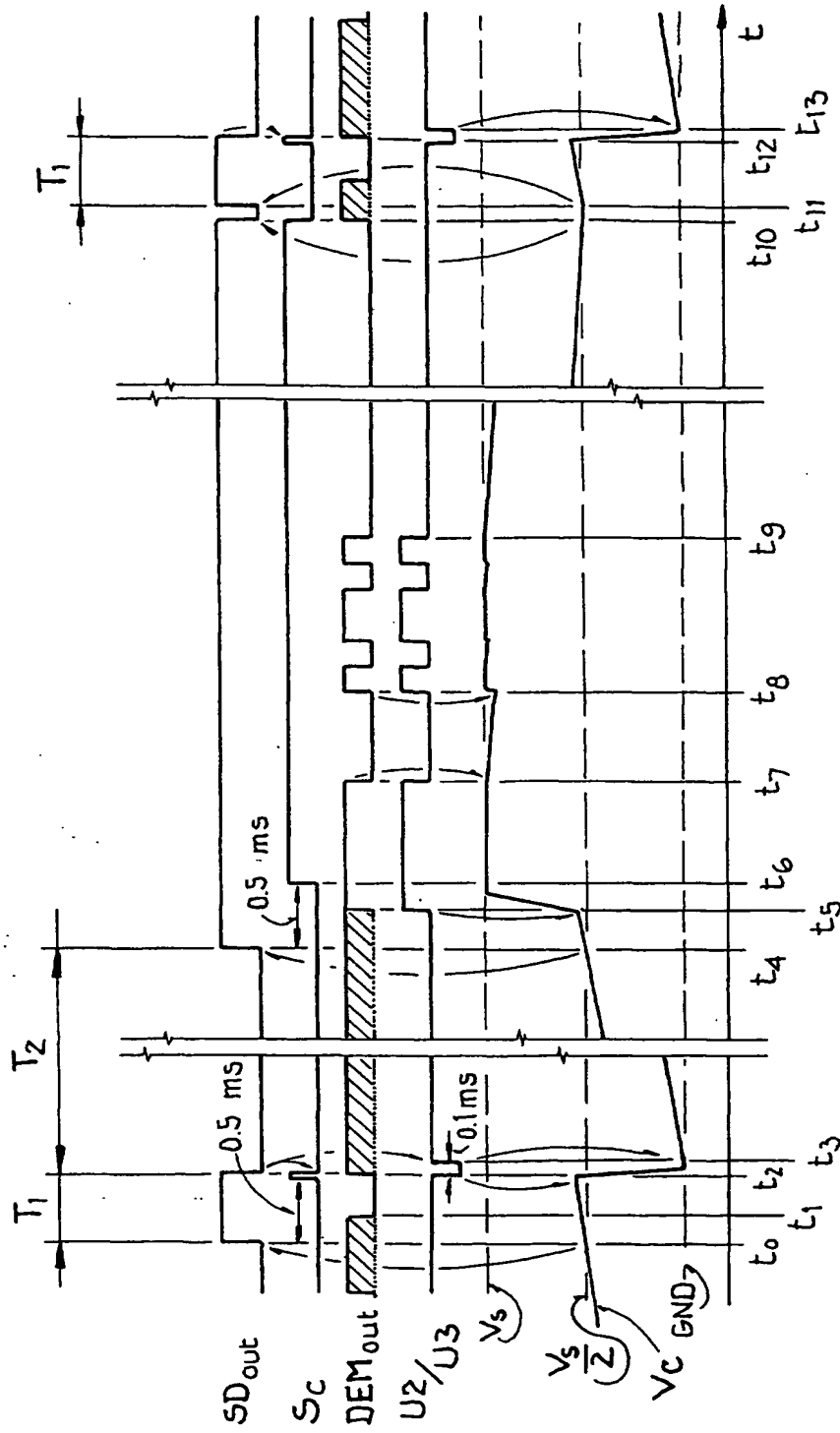


FIG. 3